

0418078-SNY

(8)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-244818

(43)Date of publication of application : 08.09.2000

(51)Int.Cl.

H04N 5/335

H01L 27/146

(21)Application number : 11-046187

(71)Applicant : SHARP CORP

(22)Date of filing : 24.02.1999

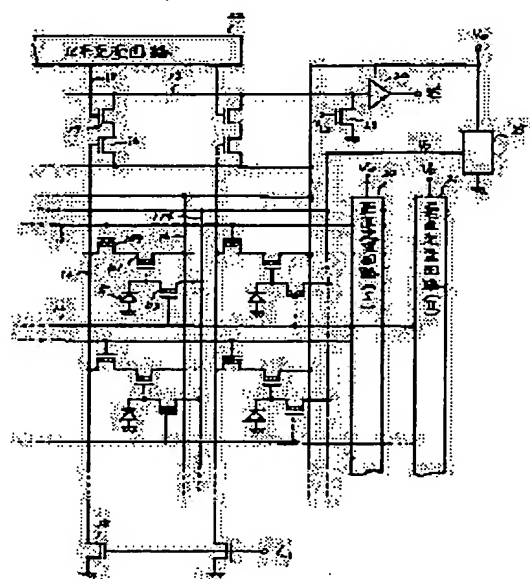
(72)Inventor : WATANABE YASUSHI

(54) AMPLIFYING SOLID-STATE IMAGE PICKUP DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a circuit technology by which pixel leakage currents in an amplifying solid-state image pickup device can be reduced.

SOLUTION: This amplifying solid-state image pickup device is constituted by arranging plural pixels and providing each pixel with a photodiode 5 for photoelectric conversion, a first MOS transistor 101 for signal amplification, a second MOS transistor 102 to reset a signal electric charge accumulated in the photodiode 5 for photoelectric conversion and a third MOS transistor for selection of pixels. In this case, one end of the serially connected first and third MOS transistors 101 and 103 is connected with a signal line 13, the other end is connected with a power line 14 (VD), one end of the second MOS transistor 102 is connected with the photodiode 5 for photoelectric conversion, the other end is connected with power supply voltage VP lower than power supply voltage VD and the first MOS transistor 101 is constituted as a depression type.



LEGAL STATUS

[Date of request for examination]

19.07.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-244818

(P2000-244818A)

(43)公開日 平成12年9月8日(2000.9.8)

(51)Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 4 N 5/335

H 0 4 N 5/335

E 4 M 1 1 8

H 0 1 L 27/146

H 0 1 L 27/14

A 5 C 0 2 4

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21)出願番号

特願平11-46187

(22)出願日

平成11年2月24日(1999.2.24)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 渡辺 恭志

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74)代理人 100103296

弁理士 小池 隆彌

Fターム(参考) 4M118 AA10 AB01 BA14 CA03 DD09
DD12 FA06

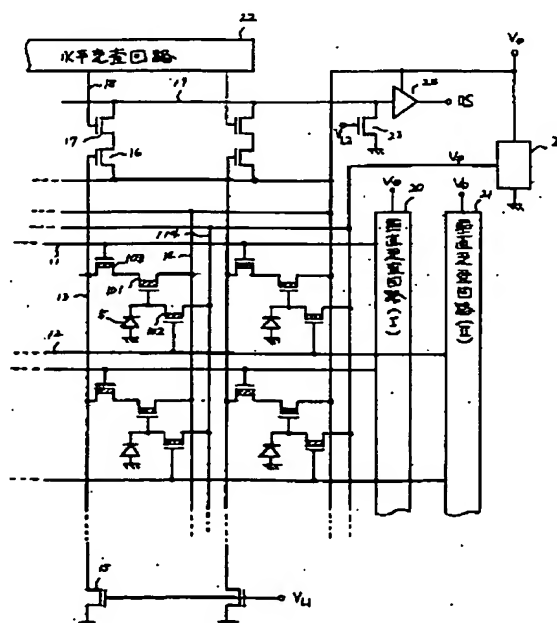
5C024 AA01 CA00 FA01 FA11 GA01
GA31 GA33

(54)【発明の名称】 増幅型固体撮像装置

(57)【要約】

【課題】 増幅型固体撮像装置に於ける画素リーク電流を低減できる回路技術を提供すること。

【解決手段】 画素が複数配列され、各画素は、それぞれ、光電変換用フォトダイオード5、信号増幅用の第1のMOSTランジスタ101、前記光電変換用フォトダイオード5に蓄積した信号電荷をリセットするための第2のMOSTランジスタ102、及び画素選択用の第3のMOSTランジスタ103を有する増幅型固体撮像装置において、前記第1及び第3のMOSTランジスタ101及び103が直列接続された一端が信号線13に、他端が電源線14(VD)に接続され、前記第2のMOSTランジスタ102は、一端が前記光電変換用フォトダイオード5に、他端が前記電源電圧VDより低電圧の電源電圧VPに接続され、前記第1のMOSTランジスタ101はデプレッション型であるように構成される。



【特許請求の範囲】

【請求項1】 画素が複数配列され、各画素は、それぞれ、光電変換領域、信号増幅用の第1のMOSトランジスタ、前記光電変換領域に蓄積した信号電荷をリセットするための第2のMOSトランジスタ、及び画素選択用の第3のMOSトランジスタを有する増幅型固体撮像装置において、

前記第1及び第3のMOSトランジスタが直列接続された両端の何れか一方が信号線に、他端が第1の電源に接続され、前記第2のMOSトランジスタは、一端が前記光電変換領域に、他端が前記第1の電源より低電圧の第2の電源に接続され、前記第1のMOSトランジスタはデプレッション型であることを特徴とする増幅型固体撮像装置。

【請求項2】 前記第2のMOSトランジスタ及び前記第3のMOSトランジスタがデプレッション型であることを特徴とする、請求項1に記載の増幅型固体撮像装置。

【請求項3】 前記信号線は、前記第1の電源により駆動される信号処理回路に接続されることを特徴とする、請求項1または2に記載の増幅型固体撮像装置。

【請求項4】 前記第2の電源は、前記第1の電源から分圧回路により生成されることを特徴とする、請求項1、2または3に記載の増幅型固体撮像装置。

【請求項5】 前記分圧回路は、ボルテージフォロア回路を用いて構成されることを特徴とする、請求項4に記載の増幅型固体撮像装置。

【請求項6】 前記分圧回路は、ダイオード順方向接続回路により構成されることを特徴とする、請求項4に記載の増幅型固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、増幅型固体撮像装置の画素リーク電流を低減する回路技術に関するものである。

【0002】

【従来の技術】 各画素毎に増幅機能を持たせ、走査回路により読み出す増幅型固体撮像装置が提案されている。特に、画素構成を周辺の駆動回路や信号処理回路との一体化に有利なCMOS型としたAPS (Active Pixel Sensor) 型イメージセンサが知られている。APS型では、1画素内に、光電変換部、増幅部、画素選択部及びリセット部を形成する必要があり、通常、フォトダイオード (PD) からなる光電変換部の他に、3~4個のMOSトランジスタ (T) が用いられる。

【0003】 図5に、従来のPD+3T方式の場合の2次元エリアイメージセンサの構成を示す (馬淵他、「1/4インチVGA対応33万画素CMOSイメージセンサ」、映像情報メディア学会技術報告、1PU97-1

3、1997年3月)。

【0004】 図に於いて、5は光電変換用フォトダイオード、1は増幅用MOSトランジスタ、2はリセット用MOSトランジスタ、3は画素選択用MOSトランジスタ、11は画素選択クロックライン、12はリセットクロックライン、13は信号線、14は電源線である。

【0005】 MOSトランジスタ3及び2は、それぞれ、画素選択クロックライン11及びリセットクロックライン12を介して、垂直走査回路 (1) 20及び垂直走査回路 (11) 21により駆動される。また、信号線13には、定電流負荷となるMOSトランジスタ15 (VL1: ゲートバイアス電圧) が接続されると共に、その出力電圧は、アンプ (増幅用MOSトランジスタ) 16及び水平クロックライン18を介して水平走査回路22により駆動されるMOSトランジスタ17を介して、水平信号線19に読み出される。水平信号線19には定電流負荷となるMOSトランジスタ23 (ゲートバイアス電圧: VL2) が接続されると共に、その出力電圧はアンプ24を介して出力OSに導かれる。

【0006】 図5において、MOSトランジスタ1、2及び3は、すべてn型エンハンスメントMOSトランジスタであり、5はpn接合ダイオードであるため、標準のCMOSプロセスで容易に形成可能である。他方、アンプ16、24のアナログ回路、及び垂直走査回路20、21や、水平走査回路22のデジタル回路は、一般にCMOS回路で構成される。したがって、画素部と周辺回路部とは、共に、共通プロセスで形成可能となる。これより、電源の共通化でき、電源VDに接続される。

【0007】

【発明が解決しようとする課題】 図5の構成の場合、トランジスタ1、2及び3は、すべてn型エンハンスメントMOSトランジスタであるため、増幅用MOSトランジスタ1と定電流負荷MOSトランジスタ15により構成されるソースフォロア回路の入出力特性は、図6のようになる。ここで、MOSトランジスタ1の閾値電圧をVT1、定電流負荷MOSトランジスタ15の閾値電圧をVT2、同ゲートバイアス電圧をVLとすると、出力電圧voが、 $v_o > VL - VT_2$ の範囲で、定電流負荷MOSトランジスタ15は飽和動作となり、その結果、リニアリティが確保される。したがって、入力電圧viは、電源電圧VD付近の高い電圧にしないと、充分な動作マージンが得られないことになる。

【0008】 他方、図5の構成では、光電変換部5を電源電圧VDにリセットすることにより、同部5を構成するpn接合ダイオードは電圧VDに逆バイアスされる。pn接合ダイオードは、リーク電流が存在すると、光積分期間の間、蓄積されて、信号電荷に加算され、偽の信号となる。これは、画素毎に、ばらついて、ザラ状の固定パターンノイズになると共に、局所的に大きなリーク

電流は白色欠陥となる。すなわち、画質を大きく損なう原因となる。

【0009】pn接合ダイオードのリーク電流は、逆バイアス電圧に強く依存し、図7に示すように、逆バイアス電圧の増大により、急激に増大する。すなわち、pn接合ダイオードの低リーク電流化のためには、逆バイアス電圧の低下、すなわち、電源電圧VDの低下が必須であるが、他方、これは、図6に示したように、動作マージンの低下をもたらす。この関係は、APS型CMOSイメージセンサの重大な課題となっている。

【0010】本発明は、以上の問題点に鑑み考案されたものであり、極めて簡単な構造で、pn接合ダイオードの低リーク電流化を達成すると共に、動作マージンも十分に確保できる、全く新規な増幅型固体撮像装置の構成手法を提供するものである。

【0011】

【課題を解決するための手段】本発明の増幅型固体撮像装置は、画素が複数配列され、各画素は、それぞれ、光電変換領域、信号増幅用の第1のMOSトランジスタ、前記光電変換領域に蓄積した信号電荷をリセットするための第2のMOSトランジスタ、及び画素選択用の第3のMOSトランジスタを有する増幅型固体撮像装置において、前記第1及び第3のMOSトランジスタが直列接続された両端の何れか一方が信号線に、他端が第1の電源に接続され、前記第2のMOSトランジスタは、一端が前記光電変換領域に、他端が前記第1の電源より低電圧の第2の電源に接続され、前記第1のMOSトランジスタはデプレッション型であることを特徴とするものである。

【0012】また、本発明の増幅型固体撮像装置では、前記第2のMOSトランジスタ及び前記第3のMOSトランジスタも、前記第1のMOSトランジスタと同様にデプレッション型であってもよい。

【0013】また、前記信号線は、前記第1の電源により駆動される信号処理回路に接続されるようにしてもよい。

【0014】また、本発明の増幅型固体撮像装置では、前記第2の電源は、前記第1の電源から分圧回路により生成される。前記分圧回路は、ボルテージフォロア回路を用いて構成されるものであってもよい。或いは、前記分圧回路は、ダイオード順方向接続回路により構成されるものであってもよい。

【0015】かかる本発明の増幅型固体撮像装置によれば、受光部となるpn接合ダイオードの逆バイアス電圧が、読み出し動作に必要な電源電圧より低い電圧に設定されることにより、受光部のリーク電流が大幅に低減されると共に、信号増幅用のMOSトランジスタがデプレッション型とされることにより、pn接合ダイオードの逆バイアス電圧が低い値であっても、十分な動作マージンを確保することができるものである。

【0016】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照して詳細に説明する。

【0017】図1は、本発明の増幅型固体撮像装置の一実施形態である2次元エリアイメージセンサの回路構成を示す図である。

【0018】図1において、11は画素選択クロックライン、12はリセットクロックライン、13は信号線、14は電源線であり、これらは、図5に示した従来技術と同様である。

【0019】本発明の特徴は、以下の点にある。すなわち、増幅用の第1のMOSトランジスタ101、リセット用の第2のMOSトランジスタ102、及び画素選択用の第3のMOSトランジスタ103は、それぞれ、デプレッション型とされる。また、リセット用の電源線114は、信号読み出し用の電源電圧VDが印加される電源線14とは別に設けられ、電源電圧VDから分圧回路25により生成された、VDより低電圧のVPが印加される。なお、図1に於いては、3個のMOSトランジスタ101、102及び103を、すべてデプレッション型としているが、後述するように、所定の条件を満足する場合は、リセット用のMOSトランジスタ102及び画素選択用のMOSトランジスタ103については、従来と同様に、エンハンスメント型とすることもできる。

【0020】図1の場合、MOSトランジスタ101、102及び103は、すべてn型デプレッション型MOSトランジスタであるため、増幅用MOSトランジスタ101と定電流負荷MOSトランジスタ15により構成されるソースフォロア回路の入出力特性は、図2（実線）のようになる。すなわち、図6の場合に比べ、入力電圧範囲が、負側に、 $V_{T1}' - V_{T1}$ だけシフトする（ V_{T1}' ：デプレッション型MOSトランジスタ101の閾値電圧、 V_{T1} ：エンハンスメント型MOSトランジスタ1の閾値電圧）。ここで、定電流負荷を構成するMOSトランジスタ15の閾値電圧を V_{T2} 、同ゲートバイアス電圧を V_L とすると、図6の場合と同様に、出力電圧 v_o が、

$$v_o > V_L - V_{T2}$$

の範囲で、定電流負荷を構成するMOSトランジスタ15は飽和動作となり、リニアリティが確保される。したがって、入力電圧 v_i は、電源電圧VDより充分低い電圧VP以下で、充分な動作マージンが得られる。

【0021】このことは、図1の構成では、光電変換部5を構成するpn接合ダイオードは、電源電圧VDより充分低い電圧VPにリセット動作されることになり、図7からも明らかなように、リーク電流が大幅に低減する。すなわち、画素毎にばらつくザラ状の固定パターンノイズや、局所的なリーク電流による白色欠陥が大幅に低下することを意味する。すなわち、画質が大幅に改善されるものである。

【0022】図1では、MOSトランジスタ102及び103は、MOSトランジスタ101と同じデプレッション型としている。垂直走査回路(11)21の電源電圧はVDであるから、MOSトランジスタ102を駆動するリセットクロックライン12のリセットクロックのハイレベルはVDとなる。図2に示すように、ゲート電圧がVDのときのポテンシャル ϕ_{mD} (VD)は、

$$\phi_{mD}(VD) > V_P$$

であるから、MOSトランジスタ102で光電変換部5を V_P にリセットすることが可能である。同様に、垂直走査回路(1)20の電源電圧もVDであるから、MOSトランジスタ103を駆動する画素選択クロックライン11の選択クロックのハイレベルはVDとなる。図2に示すように、

$$\phi_{mD}(VD) > \phi_{mD}(V_P)$$

であるから、MOSトランジスタ101の出力電圧 $\phi_{mD}(V_P)$ を、MOSトランジスタ103で、スイッチングすることも可能である。但し、MOSトランジスタ102のオフマージンのため、入力電圧 v_i の範囲は、 $\phi_{m0} < v_i < V_P$

に制限される。ここで、 ϕ_{m0} は、ゲート電圧0VのときのMOSトランジスタ101~103のチャネルポテンシャルである。なお、このとき、図2に示すように、ゲート電圧 ϕ_{m0} のときのポテンシャルを ϕ_{m1} として、 $\phi_{m1} > \phi_{m0}$ であるから、MOSトランジスタ103のオフマージンは確保される。

【0023】他方、VDと V_P との電圧差が大きい場合は、MOSトランジスタ102と103をエンハンスメント型としても動作可能である。この場合の構成を1画素分について図3に示す。図2の破線で示すように、エンハンスメント型でゲート電圧がVDのときのポテンシャル ϕ_{mE} (VD)が、リセット電圧 V_P に比べ、 $\phi_{mE}(VD) > V_P$

であれば、MOSトランジスタ102で光電変換部を V_P にリセットすることが可能となる。また、 $\phi_{mE}(VD)$ が、デプレッション型でゲート電圧 V_P のときのポテンシャル $\phi_{mD}(V_P)$ に比べ、

$$\phi_{mE}(VD) > \phi_{mD}(V_P)$$

であれば、MOSトランジスタ101の出力電圧： $v_o \leq \phi_{mD}(V_P)$ をMOSトランジスタ103でスイッチングすることが可能となる。

【0024】なお、MOSトランジスタ102、103はエンハンスメント型であるため、完全にオフでき、入力電圧 v_i の範囲が、MOSトランジスタ102、103のオフマージンで制限されることはない。

【0025】図4は、図1に示した分圧回路25の具体的な構成例を示したものである。図4(a)では、抵抗26及び27により分圧された電圧が、ボルテージフォロア回路28により低インピーダンス化され、電解コンデンサ29で平滑化されて、電圧 V_P が出力される。ま

た、図4(b)では、電源VD側にダイオード30がn個直列に順方向接続され、その出力が電解コンデンサ29で平滑化される。ダイオード30の順方向電位降下分を ΔV とすると、出力電圧 V_P は、 $V_P = VD - n \Delta V$ となる。

【0026】

【発明の効果】以上、詳細に説明したように、本発明の増幅型固体撮像装置は、画素が複数配列され、各画素は、それぞれ、光電変換領域、信号増幅用の第1のMOSトランジスタ、前記光電変換領域に蓄積した信号電荷をリセットするための第2のMOSトランジスタ、及び画素選択用の第3のMOSトランジスタを有する増幅型固体撮像装置において、前記第1及び第3のMOSトランジスタが直列接続された両端の何れか一方が信号線に、他端が第1の電源に接続され、前記第2のMOSトランジスタは、一端が前記光電変換領域に、他端が前記第1の電源より低電圧の第2の電源に接続され、前記第1のMOSトランジスタはデプレッション型であることを特徴とするものであり、かかる本発明の増幅型固体撮像装置によれば、受光部となるpn接合ダイオードの逆バイアス電圧が、読み出し動作に必要な電源電圧より低い電圧に設定されることにより、受光部のリーク電流が大幅に低減されると共に、信号増幅用のMOSトランジスタがデプレッション型とされることにより、pn接合ダイオードの逆バイアス電圧が低い値であっても、充分な動作マージンを確保することができるものである。以上により、本発明の実用上の効果は絶大である。

【図面の簡単な説明】

【図1】本発明の増幅型固体撮像装置の一実施形態である2次元エリアイメージセンサの回路構成を示す回路図である。

【図2】同2次元エリアイメージセンサの動作説明に供する図である。

【図3】本発明の増幅型固体撮像装置の他の実施形態である2次元エリアイメージセンサについて、その1画素分の回路構成を示した回路図である。

【図4】(a)及び(b)は本発明の増幅型固体撮像装置に於いて用いられる分圧回路の具体的な構成例を示す回路図である。

【図5】従来の増幅型固体撮像装置の一例である2次元エリアイメージセンサの回路構成を示す回路図である。

【図6】同2次元エリアイメージセンサの動作説明に供する図である。

【図7】従来の増幅型固体撮像装置の問題点の説明に供する図である。

【符号の説明】

101	増幅用MOSトランジスタ
102	リセット用MOSトランジスタ
103	画素選択用MOSトランジスタ
5	光電変換用フォトダイオード

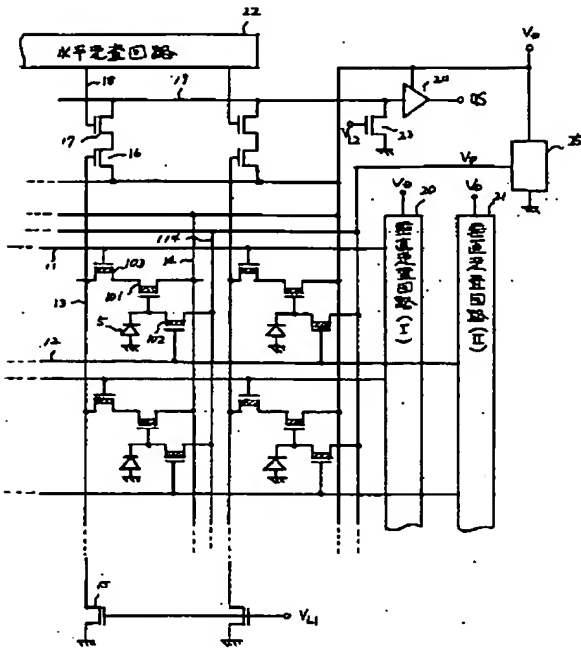
13
14

信号線
電源線

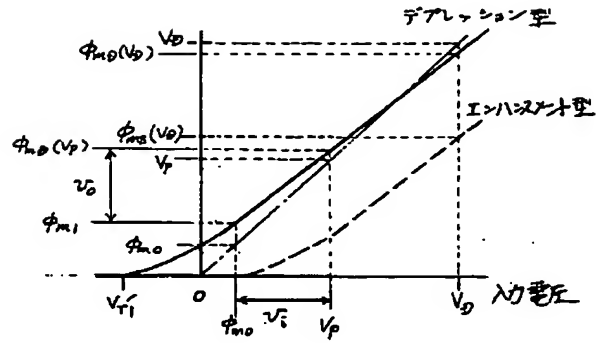
114

リセット用電源線

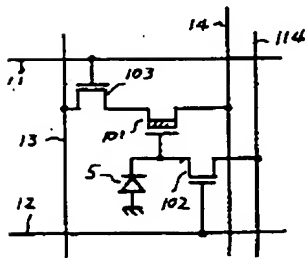
【図1】



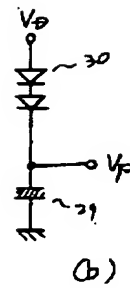
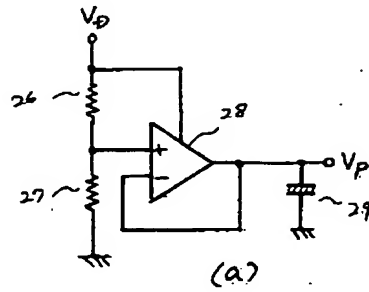
【図2】



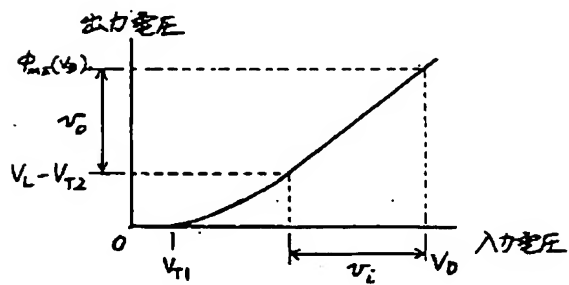
【図3】



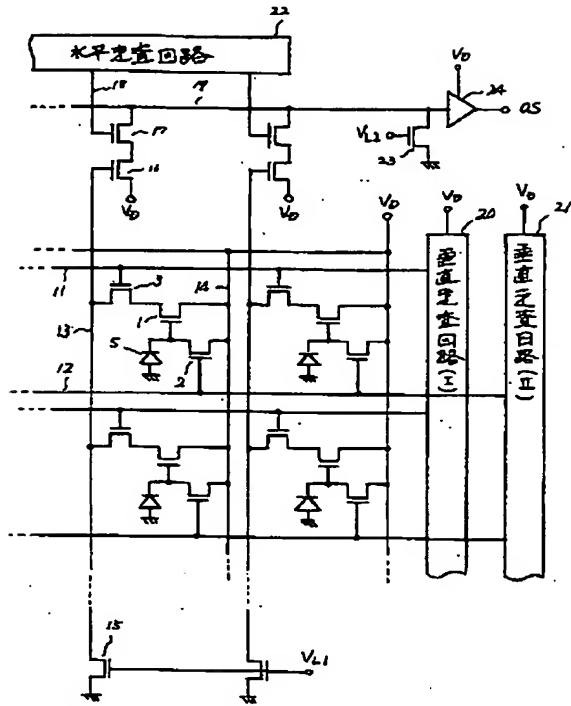
【図4】



【図6】



【図5】



【図7】

